

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C. 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing (day/month/year)

02 February 2000 (02.02.00)

International application No.

PCT/DE99/01555

Applicant's or agent's file reference

GR 98P1834P

International filing date (day/month/year)

25 May 1999 (25.05.99)

Priority date (day/month/year)

29 May 1998 (29.05.98)

Applicant

MÄNZ, Martin et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International Preliminary Examining Authority on:

17 December 1999 (17.12.99)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

Jean-Marie McAdams

Telephone No.: (41-22) 338.83.38

09/701593
5080
Translation

PATENT COOPERATION TREATY

PCT

3
RECEIVED

INTERNATIONAL PRELIMINARY EXAMINATION REPORT MAR 13 2001

(PCT Article 36 and Rule 70)

Technology Center 2600

Applicant's or agent's file reference GR 98P1834P	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/DE99/01555	International filing date (day/month/year) 25 May 1999 (25.05.99)	Priority date (day/month/year) 29 May 1998 (29.05.98)
International Patent Classification (IPC) or national classification and IPC H03K 5/00		
Applicant SIEMENS AKTIENGESELLSCHAFT		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.
2. This REPORT consists of a total of <u>6</u> sheets, including this cover sheet. <input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT). These annexes consist of a total of <u>2</u> sheets.
3. This report contains indications relating to the following items: I <input checked="" type="checkbox"/> Basis of the report II <input type="checkbox"/> Priority III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability IV <input type="checkbox"/> Lack of unity of invention V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement VI <input type="checkbox"/> Certain documents cited VII <input checked="" type="checkbox"/> Certain defects in the international application VIII <input checked="" type="checkbox"/> Certain observations on the international application

Date of submission of the demand 17 December 1999 (17.12.99)	Date of completion of this report 29 August 2000 (29.08.2000)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE99/01555

I. Basis of the report

1. This report has been drawn on the basis of (*Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.*):

- ☐ the international application as originally filed.
- ☒ the description, pages 1-14, as originally filed,
pages _____, filed with the demand,
pages _____, filed with the letter of _____,
pages _____, filed with the letter of _____.
- ☒ the claims, Nos. 2-9, 11-18, as originally filed,
Nos. _____, as amended under Article 19,
Nos. _____, filed with the demand,
Nos. 1, 10, filed with the letter of 10 July 2000 (10.07.2000),
Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1-5, as originally filed,
sheets/fig _____, filed with the demand,
sheets/fig _____, filed with the letter of _____,
sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-18	YES
	Claims		NO
Inventive step (IS)	Claims	1-18	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-18	YES
	Claims		NO

2. Citations and explanations

1 The following document is referred to:

D1 = US-A-5 579 510 (A. WANG)
26 November 1996 (1996-11-26)

2 The claims **satisfy** the requirements of PCT Article 33 regarding novelty, inventive step and industrial applicability.

2.1 The application **concerns** a method and device (independent Claims 1, 10) for logic/timing simulation of synchronised circuits.

Closest Prior Art: D1

Difference in relation to D1: Asynchronous signals are marked in the hardware descriptive language code of the circuit. During the synthesis, at each of the markers synchronisation modules are added, which also appear in D1, though in D1 they are added to all primitive *synchronous* elements. By contrast with D1, in the present application, for each individual synchronisation module, the verification of the setup/hold-time violations can be suppressed separately by adapting its simulation model.

Advantage: Flexibility in the verification of time

response; increased reliability of the simulation results.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE 99/01555

VII. Certain defects in the international application

and in that in step (d) the verification ... is
deactivated.

VIII. Certain observations on the international application

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

4 **Clarity of Claim 1:**

- 4.1 In lines 9 and 10, the **criteria** according to which asynchronous signals are to be marked are not clear. However, the description indicates (page 12, lines 24-25; page 13, lines 27-29; Figure 12 (4):ASYNC marking") that **all asynchronous signals are marked**. Consequently, the applicants ought to have added the following to line 10:

"b) marking of **all** asynchronous signals of the clocked circuit in the first code (VHDL)".

5 **Clarity of Claim 10:**

Since independent device **Claim 10** contains all of the features of Claim 1, the objections raised above in connection with Claim 1 also apply to Claim 10.

WO 99/063664 A3



*Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,A	EP 0 853 280 A (NEC CORP.) 15 July 1998 (1998-07-15) claim 1; figures 2-4	1
A	US 5 426 591 A (A. GINETTI) 20 June 1995 (1995-06-20) column 1, line 19 -column 2, line 3 column 3, line 15 - line 48 column 4, line 17 -column 6, line 15; figures 1,2	1
A	US 5 657 239 A (J. GRODSTEIN) 12 August 1997 (1997-08-12) column 1, line 40 - line 52 column 6, line 55 -column 7, line 35 column 8, line 21 -column 9, line 29; figures 1,6,7	1



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

4 November 1999

Date of mailing of the international search report

11/11/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Butler, N

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 517 658 A (D. GLUSS) 14 May 1996 (1996-05-14) column 1, line 44 -column 2, line 3; claims 1-4; figures 1,2 column 2, line 25 -column 4, line 55 ---	1
A	US 5 579 510 A (A. WANG) 26 November 1996 (1996-11-26) column 1, line 50 -column 2, line 18 column 3, line 17 -column 4, line 11 column 5, line 27 -column 6, line 10 ---	1
A	US 5 537 580 A (J. GIOMI) 16 July 1996 (1996-07-16) column 1, line 12 - line 31 column 2, line 50 - line 65 column 4, line 33 -column 5, line 44 column 6, line 9 -column 7, line 11; claims 1,2; figures 2,3 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/01555

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 853280	A	15-07-1998	JP 10198723 A	31-07-1998
US 5426591	A	20-06-1995	US 5764525 A	09-06-1998
US 5657239	A	12-08-1997	NONE	
US 5517658	A	14-05-1996	NONE	
US 5579510	A	26-11-1996	NONE	
US 5537580	A	16-07-1996	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 6 G06F17/50

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 6 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P,A	EP 0 853 280 A (NEC CORP.) 15. Juli 1998 (1998-07-15) Anspruch 1; Abbildungen 2-4 ---	1
A	US 5 426 591 A (A. GINETTI) 20. Juni 1995 (1995-06-20) Spalte 1, Zeile 19 - Spalte 2, Zeile 3 Spalte 3, Zeile 15 - Zeile 48 Spalte 4, Zeile 17 - Spalte 6, Zeile 15; Abbildungen 1,2 ---	1
A	US 5 657 239 A (J. GRODSTEIN) 12. August 1997 (1997-08-12) Spalte 1, Zeile 40 - Zeile 52 Spalte 6, Zeile 55 - Spalte 7, Zeile 35 Spalte 8, Zeile 21 - Spalte 9, Zeile 29; Abbildungen 1,6,7 --- -/-	1



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

4. November 1999

Absenddatum des internationalen Recherchenberichts

11/11/1999

Name und Postanschrift der internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Butler, N

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 517 658 A (D. GLUSS) 14. Mai 1996 (1996-05-14) Spalte 1, Zeile 44 -Spalte 2, Zeile 3; Ansprüche 1-4; Abbildungen 1,2 Spalte 2, Zeile 25 -Spalte 4, Zeile 55 ----	1
A	US 5 579 510 A (A. WANG) 26. November 1996 (1996-11-26) Spalte 1, Zeile 50 -Spalte 2, Zeile 18 Spalte 3, Zeile 17 -Spalte 4, Zeile 11 Spalte 5, Zeile 27 -Spalte 6, Zeile 10 ----	1
A	US 5 537 580 A (J. GIOMI) 16. Juli 1996 (1996-07-16) Spalte 1, Zeile 12 - Zeile 31 Spalte 2, Zeile 50 - Zeile 65 Spalte 4, Zeile 33 -Spalte 5, Zeile 44 Spalte 6, Zeile 9 -Spalte 7, Zeile 11; Ansprüche 1,2; Abbildungen 2,3 -----	1

INTERNATIONAL RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

internationales Aktenzeichen

PCT/DE 99/01555

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 853280	A	15-07-1998	JP	10198723 A	31-07-1998
US 5426591	A	20-06-1995	US	5764525 A	09-06-1998
US 5657239	A	12-08-1997	KEINE		
US 5517658	A	14-05-1996	KEINE		
US 5579510	A	26-11-1996	KEINE		
US 5537580	A	16-07-1996	KEINE		

Beschreibung

Vorrichtung und Verfahren zur Synchronisation eines asynchronen Signals in Synthese und Simulation einer getakteten
5 Schaltung.

Die vorliegende Erfindung bezieht sich auf eine Vorrichtung und ein Verfahren zur Synchronisation eines asynchronen Signals in Synthese und Simulation einer getakteten
10 Schaltung und insbesondere auf eine Vorrichtung und ein Verfahren mit dem bei der Durchführung einer Simulation ein kritischer von einem unkritischen Zustand im Zeitverhalten eines Signals in einer getakteten Schaltung getrennt werden kann.

15 In zunehmendem Maße werden applikationsspezifische integrierte Schaltungen (ASICs), kundenspezifische integrierte Schaltungen (fullcustom ICs) sowie deren Mischformen (semicustom ICs) vor der Herstellung eines entsprechenden
20 Halbleiterbausteins mittels Simulation vorab auf ihre logische Funktion und ihr zeitliches Verhalten getestet.

Üblicherweise wird hierbei eine Schaltung in einer Hardware-Beschreibungssprache wie beispielsweise einem VHDL-
25 Code beschrieben und mittels eines VHDL Logik-Simulators die logische Funktion der Schaltung überprüft. Eine Überprüfung des Zeitverhaltens der Signale kann jedoch mit einem derartigen Logik-Simulator auf der Grundlage der Hardware-Beschreibungssprache (VHDL-Code) nicht durchgeführt
30 werden.

Zur Durchführung einer Überprüfung des Zeitverhaltens einer Schaltung muß vielmehr die Hardware-Beschreibungssprache (VHDL-Code) durch ein Synthese-Tool in eine Netzliste um-
35 gewandelt werden, die einen weiteren Code (Stromlauf) zur Darstellung der ursprünglichen Schaltung darstellt. Anhand

dieser Netzliste kann nunmehr mittels eines Logik/Timing-Simulators auch das Zeitverhalten der Signale in der Schaltung erfaßt bzw. überprüft werden.

- 5 Bei einer derartigen Überprüfung des Zeitverhaltens der Signale in der Schaltung bzw. Timing-Simulation können zeitkritische Signalzustände in der Schaltung bereits bei der Simulation erkannt und behoben werden. Beispielhaft sei ein derartiger zeitkritischer Signalzustand anhand eines getakteten Flip-Flops erläutert, wobei jedoch die Erfindung
10 nicht auf derartige Bauteile beschränkt ist.

- Die Figur 1 zeigt ein Schaltbild eines herkömmlichen Flip-Flops FF1 mit einem Eingangsanschluß D, einem Takteingang
15 CLK und einem Ausgangsanschluß Q. Die Figur 2 zeigt ein beispielhaftes Signal-Zeitverhalten, bei dem kein zeitkritischer Signal-Zustand im getakteten Flip-Flop FF1 auftritt. Abhängig von der jeweils verwendeten Technologie bzw. der technischen Realisierung eines elektronischen Bauteils (z.B. Flip-Flops) in einem Halbleiter ergeben sich bauteiltypische Kennwerte. Die für das Flip-Flop FF1 gemäß
20 Figur 1 wesentlichen Kennwerte sind hierbei die Setup-Zeit t_s und die Hold-Zeit t_h . Diese Zeiten legen für das in Figur 1 dargestellte Flip-Flop FF1 einen Zeitraum vor und nach der steigenden Flanke des Taktsignals CLK fest, bei dem eine zuverlässige Übernahme eines am Eingang D anliegenden Signals erfolgt. Da gemäß Figur 2 das Signal am Eingang D bereits vor dem Zeitraum t_s und t_h einen stabilen Wert "1" besitzt, wird zum Zeitpunkt der steigenden Flanke
25 des Taktsignals CLK das Signal am Ausgang Q des Flip-Flops FF1 zuverlässig auf "1" gesetzt.

- Demgegenüber ist in Figur 3 ein Signal-Zeitverhalten dargestellt, bei dem eine Verletzung der Setup-Zeit t_s erfolgt, weshalb der Ausgang Q einen undefinierten Zustand annimmt.
35 Gemäß Figur 3 fällt die steigende Flanke des Signals am

Eingang D des Flip-Flops FF1 in den Zeitraum t_s der Setup-Zeit, weshalb das Signal am Ausgang Q zunächst in einen metastabilen Zustand I gerät, um nach der Zeit t_m einen undefinierten aber festen Zustand II ("0" oder "1") anzunehmen. Der metastabile Zustand I besitzt etwa eine Zeitdauer $t_m = 5 \times t_{PD}$, wobei t_{PD} die Laufzeit im Flip-Flop FF1 vom Takteingang CLK zum Ausgang Q ist. Die Zeitdauer für t_m für den metastabilen Zustand I ist abhängig von der verwendeten Technologie und dem verwendeten Halbleiter. Nach dem metastabilen Zustand I, in dem das Ausgangssignal Q üblicherweise schwingt, geht das Ausgangssignal Q in einen stabilen aber undefinierten Zustand II über, der beliebig und zufällig angenommen wird. Gleiches gilt bei Verletzung der Hold-Zeit.

Derartige unbekannte, d.h. metastabile bzw. undefinierte, Zustände im Signal-Zeitverhalten sind unerwünscht, da sie die Funktion der dieses Signal verwertenden nachgeschalteten Schaltungselemente nachteilig beeinflussen, und werden nachfolgend allgemein als Setup/Hold-Zeitverletzungen bezeichnet.

Insbesondere bei der Durchführung einer Logik/Timing-Simulation bzw. der Überprüfung des Signal-Zeitverhaltens einer getakteten Schaltung wirkt sich die vorstehend beschriebene Setup/Hold-Zeitverletzung derart aus, daß der Simulator für das betroffene Signal einen "unknown"-Zustand ausgibt und schaltungstechnisch von diesem Signal abhängige Signale bzw. Schaltungselemente nicht mehr überprüft werden können. Dies führt bei einem Großteil von Anwendungsfällen zu erheblichen Problemen (Abbruch der Simulation).

Die Figur 4 zeigt eine getaktete Schaltung die aus einem ersten ASIC-Modul A1 und einem zweiten ASIC-Modul A2 besteht. Das ASIC-Modul A1 wird mit einem ersten Taktsignal CLKI beispielsweise 16 MHz und das ASIC-Modul A2 mit einem

zweiten Taktsignal CLKII beispielsweise 25 MHz betrieben. Die Takte CLKI und CLKII sind nicht synchronisiert, wodurch sich die Problematik ergibt, daß vom ASIC-Modul A1 ein zum Taktsignal CLKII asynchrones Ausgangssignal S_ASYNC ausge-
5 gegeben wird. Das Signal S_ASYNC ist asynchron zum Eingangstaktsignal CLKII. Damit können zwangsläufig Setup/Hold-Zeitverletzungen in einer Eingangsschaltung des ASIC -Moduls A2 auftreten. Bei einer durchzuführenden Logik/Timing-Simulation der Schaltung gemäß Figur 4 kann
10 somit das gesamte ASIC-Modul A2 hinsichtlich seines Zeitverhaltens nicht überprüft werden, da die potentielle Gefahr von Setup/Hold-Zeitverletzungen am Eingangs-FF von ASIC-Modul A2 besteht. Zur Vermeidung eines derartigen Ergebnisses kann entweder die Überprüfung einer Setup/Hold-
15 Zeitverletzung generell abgeschaltet werden oder für die Durchführung der Simulation der Signalverlauf der jeweiligen Signale gezielt verändert werden, beispielsweise wird das Signal S_ASYNC synchron zum Takt CLKII erzeugt. Eine weitere Möglichkeit besteht darin, einen manuellen Eingriff
20 in die Netzliste der zu simulierenden Schaltung vorzunehmen um die Überprüfung bzw. die Setup-Zeitverletzung für die Eingangsschaltung (Flip-Flop) selektiv zu deaktivieren.

Alle diese Maßnahmen sind jedoch zeitaufwendig, fehlerträchtig oder verschlechtern das Simulationsergebnis, da
25 das reale Zeitverhalten der Signale der Simulation nicht zugrunde gelegt wird.

Der Erfindung liegt daher die Aufgabe zugrunde eine Vorrichtung und ein Verfahren zur Synchronisation eines asyn-
30 chronen Signals in Synthese und Simulation einer getakteten Schaltung zu schaffen, bei dem die gesamte Schaltung auf einfache Weise hinsichtlich Setup/Hold-Zeitverletzungen überprüft werden kann.

5

Diese Aufgabe wird hinsichtlich des Verfahrens durch die im Patentanspruch 1 angegebenen Maßnahmen gelöst. Hinsichtlich der Vorrichtung wird diese Aufgabe durch die im Patentanspruch 10 angegebenen Merkmale gelöst.

5

Erfindungsgemäß wird somit zunächst eine Schaltung mit einer Hardware-Beschreibungssprache beschrieben und die vorhandenen asynchronen Signale markiert. Anschließend erfolgt eine Synthese der Hardware-Beschreibungssprache zum

10 Erstellen einer Netzliste, wobei bei jeder Markierung ein Synchronisations-Modul eingefügt wird. Mit dieser Netzliste wird eine Logik/Timing-Simulation durchgeführt, wobei automatisch die Überprüfung des Zeitverhaltens für jedes eingefügte Synchronisations-Modul deaktiviert wird. Alle weiteren noch auftretenden undefinierten Signal-Zeitverhalten
15 werden angezeigt.

Somit können auch getaktete Schaltungen mit einer Vielzahl von zueinander asynchronen Signalen hinsichtlich ihres
20 Zeitverhaltens vollständig überprüft werden, ohne daß dabei aufwendige Gegenmaßnahmen für das Erfassen von nicht vermeidbaren aber undefinierten Zuständen notwendig werden.

Als Synchronisations-Modul kann beispielsweise ein imaginäres Flip-Flop eingefügt werden, das aus zwei hintereinandergeschalteten Flip-Flops besteht, wobei bei der Durchführung der Timing-Simulation automatisch eine Setup/Hold-Zeitverletzungs-Überprüfung für das erste Flip-Flop deaktiviert wird.

30

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnungen näher beschrieben. Es zeigen:

35 Figur 1 ein Schaltbild eines getakteten Flip-Flops zur Veranschaulichung von Setup/Hold-Zeitverletzungen;

- Figur 2 eine Darstellung der Signal-Zeitverläufe im Flip-Flop gemäß Figur 1, wobei kein unbekannter Zustand auftritt;
- Figur 3 eine Darstellung der Signal-Zeitverläufe im Flip-Flop gemäß Figur 1, wobei unbekannte Zustände auftreten;
- Figur 4 ein Blockschaltbild einer getakteten Schaltung mit asynchronen Signalen;
- Figur 5 ein Blockschaltbild einer Schaltung zur Verdeutlichung der Umsetzung in eine Hardware-Beschreibungssprache;
- Figur 6 eine Darstellung der erfindungsgemäß erzeugten Netzliste zur Schaltung gemäß Figur 5;
- Figur 7 eine Darstellung der Netzliste eines weiteren Ausführungsbeispiels für das imaginäre Flip-Flop gemäß Figur 6;
- Figur 8 ein Blockschaltbild mit einer eine Setup-Zeitverletzung hervorrufenden Logik;
- Figur 9 eine Darstellung der Signal-Zeitverläufe der Schaltung gemäß Figur 6; und
- Figur 10 eine Darstellung der Signal-Zeitverläufe der Schaltung gemäß Figur 8.

Die Figur 5 zeigt eine Darstellung eines Blockschaltbilds zur Veranschaulichung der Wirkungsweise des erfindungsgemäßen Verfahrens. Hierbei entspricht ein Schaltungsteil A1 dem in Figur 4 dargestellten Asic-Modul A1 während ein Schaltungsteil A2 in Figur 5 dem Asic-Modul A2 gemäß Figur 4 entspricht. Die Schaltung wird zunächst durch eine Hardware-Beschreibungssprache beschrieben. Eine häufig verwendete Hardware-Beschreibungssprache ist hierbei der VHDL-Code, wobei jedoch auch andere Hardware-Beschreibungssprachen auf die vorliegende Erfindung angewendet werden können. Der Schaltungsteil A1 bestehend aus einem UND-Gatter AND und einem getakteten Flip-Flop FF1, und wird nachfolgend im VHDL-Code beispielhaft beschrieben:

```
process A1 (CLKI)
```

7

```
begin
    wait until (CLKI'event and CLKI= "1");
    C <= A & B;
end process;
5
process A21 (CLKI)
begin
    wait until (CLKI'event and CLKI= "1");
    S3 <= S2;
10 end process;

process A22 (CLKII)
begin
    wait until (CLKII'event and CLKII= "1");
15     S4 <= S3;
end process;
```

Mit diesem VHDL-Code wird der Schaltungsteil A1 und A2 gemäß Figur 5 hinsichtlich seiner logischen Funktion beschrieben. Auf der Grundlage dieses VHDL-Codes kann mit einem VHDL Logik-Simulator eine logische Überprüfung der Schaltung vorgenommen werden.

Wie bereits in der Beschreibungseinleitung erwähnt, kann jedoch eine Timing-Simulation auf der Grundlage dieses VHDL-Codes nicht durchgeführt werden. Vielmehr muß für die zeitliche Analyse der Schaltung gemäß Figur 5 eine Netzliste aus der Hardware-Beschreibungssprache durch Synthese gewonnen werden, die als Grundlage für die Logik/Timing-Simulation dient.

Bei Durchführung einer herkömmlichen Synthese entsteht eine Netzliste, die im wesentlichen dem Blockschaltbild gemäß Figur 5 entspricht. Wie bereits in der Beschreibungseinleitung erwähnt können hierbei jedoch im Flip-Flop FF2 Setup-

Zeitverletzungen auftreten, da dem Flip-Flop FF2 ein zum Taktsignal CLKII nicht synchrones bzw. asynchrones Signal S2 zugeführt wird. Somit können die in Figur 3 dargestellten metastabilen bzw. undefinierten Zustände am Ausgang Q
5 des Flip-Flops FF2 auftreten und die gesamten nachfolgenden Schaltungsbereiche im Schaltungsteil A2 nicht mehr überprüft werden.

Die Figur 6 zeigt ein Blockschaltbild einer Netzliste, wie
10 sie mit dem erfindungsgemäßen Verfahren bzw. der erfindungsgemäßen Vorrichtung erzeugt wird.

Zunächst werden alle Schaltungsbestandteile der Schaltung gemäß Figur 5 in einer Hardware-Beschreibungssprache be-
15 schrieben, wobei alle asynchronen Signale in geeigneter Art und Weise markiert werden (z.B. ASYNC signal S2...). Der so entstandene VHDL-Code kann nunmehr mit einem VHDL Logik-Simulator hinsichtlich der logischen Funktionen der Schaltung gemäß Figur 5 überprüft werden. Anschließend erfolgt eine
20 Synthese des VHDL-Codes zum Erstellen einer Netzliste, wobei für jedes entsprechend markierte asynchrone Signal ein Synchronisations-Modul bzw. ein imaginäres Flip-Flop IFF gemäß Figur 6 eingefügt wird. Dieses Synchronisations-Modul dient der Synchronisation des asynchronen Signals S2.
25 Die restlichen Elemente wie zum Beispiel das UND-Gatter 'AND' und das Flip-Flop FF1 bleiben in der Netzliste unverändert.

Die Figur 9 zeigt eine Darstellung der wesentlichen Signal-
30 Zeitverläufe gemäß Figur 5. Mit CLKI ist ein Taktsignal bezeichnet, das einem Flip-Flop FF1 an seinem Takteingang eingegeben wird. Am Eingangsanschluß D des Flip-Flops FF1 wird ein Signal S1 eingegeben, das sich aus der UND-Verknüpfung der Signale A und B ergibt. Das Signal S2 zeigt
35 das Ausgangssignal des Flip-Flops FF1, welches als asynchrones Signal S2 (async) einem Flip-Flop FF2 an seinem D

Eingang zugeführt wird. Gemäß Figur 9 steigt das Signal S2 zum Zeitpunkt t_1 auf den Wert "1", wenn am Flip-Flop FF1 die steigende Flanke des Taktsignals CLKI anliegt. Da das Eingangssignal S1 bereits hinreichend lange stabil anliegt, ergeben sich keine unbekannten Zustände. In gleicher Weise wird zum Zeitpunkt t_2 ein Ausgangssignal S3 des Flip-Flops FF2 auf den Wert "1" gesetzt, wenn die steigende Flanke eines zweiten Taktsignals CLKII anliegt. Auch in diesem Fall ergeben sich keine unbekannten Zustände für das Signal S3, da das Eingangssignal des Flip-Flops FF2 bereits hinreichend lange stabil anliegt.

Aufgrund der Tatsache, daß jedoch die Taktsignale CLKI und CLKII nicht miteinander synchronisiert sind und darüber hinaus unterschiedliche Taktfrequenzen aufweisen kann es jedoch zum Zeitpunkt t_3 zu einer Setup-Zeitverletzung des Flip-Flops 2 kommen. Wie in Figur 9 dargestellt, kann nämlich die das zweite Flip-Flop FF2 triggernde steigende Flanke des Taktsignals CLKII im wesentlichen mit der fallenden Flanke des Signals S2 zusammenfallen, so daß im kritischen Zeitraum der Setup-Zeit für das Flip-Flop FF2 kein fest definiertes Signal vorliegt.

Wie bereits anhand von Figur 3 beschrieben wurde, erzeugt ein derartiger unstabiler Zustand am Eingangsanschluß D eines Flip-Flops zunächst einen metastabilen Zustand mit der Zeitdauer t_m , in der das Ausgangssignal S3 schwingt, um anschließend einen willkürlichen undefinierten aber festen Zustand anzunehmen. Dieser Zustand zum Zeitpunkt t_3 wird bei einer Timing-Simulation üblicherweise als unbekannter Zustand ("unknown") ausgewertet, weshalb einer weiteren Betrachtung des Zeitverhaltens der davon abhängigen Signale ebenso ein unbekannter Zustand zugeordnet wird.

Gemäß dem erfindungsgemäßen Verfahren wird jedoch gemäß Figur 6 ein imaginäres Flip-Flop IFF23 (= Synchronisations-

- FF) bei einem markierten asynchronen Signal in die Netzliste einer zu simulierenden Schaltung eingefügt. Setup/Hold-Zeitverletzungen werden für dieses spezielle Element in geeigneter Art und Weise unterdrückt (z.B. durch
- 5 entsprechende Anpassungen im Simulationsmodell des IFF23), weshalb das Ausgangssignal S4 des imaginären Flip-Flops IFF23 ein definiertes Signal ist und keine Probleme bei der Logik/Timing-Simulation verursacht.
- 10 In Kombination mit einer modifizierten Logik/Timing-Simulation, bei der die Überprüfung des Zeitverhaltens für jedes eingefügte imaginäre Flip-Flop IFF (bzw. ein Teil des Flip-Flops IFF) in geeigneter Art und Weise deaktiviert wird, kann somit auch für eine getaktete Schaltung mit
- 15 asynchronen Signalen eine vollständige Überprüfung des Signal-Zeitverhaltens in der Schaltung erfolgen. Alle weiteren zu erfassenden undefinierten Zustände können nämlich sicher erfaßt werden, wie sich aus Figur 8 ergibt.
- 20 Die Figur 8 zeigt ein Blockschaltbild einer Schaltung mit einer fehlerhaften Dimensionierung der als Verzögerungselement wirkenden Logik DL, die beispielsweise am Ausgang S_{out} der Figur 5 nachgeschaltet sein kann. Die fehlerhafte Dimensionierung der als Verzögerungselement wirkenden Logik
- 25 DL bewirkt eine Verletzung der Setup-Zeit des nachgeschalteten Flip-Flops FF_{out}.

- Die Figur 10 zeigt eine Darstellung der Signal-Zeitverläufe der wesentlichen Signale gemäß Figur 8, wobei die Zeit
- 30 t_{logik} die Verzögerungszeit der Logik DL darstellt. Gemäß Figur 10 kann es bei schlechter Dimensionierung der Logik DL ebenso zu Setup/Hold-Zeitverletzungen am Eingang des Flip-Flop FF_{out} kommen. Gemäß Figur 8 wird ein Eingangs-Flip-Flop FF_{in} und ein Ausgangs-Flip-Flop FF_{out} mit dem
- 35 gleichen Taktsignal CLK getaktet. Ein Eingangssignal S_{in} wird mit einer steigenden Taktflanke des Taktsignals CLK

11

auf "1" gesetzt und mit der nächsten steigenden Taktflanke wieder auf "0" gesetzt. Dieses Signal S1 wird der logischen Schaltung DL zugeführt, die sich zwischen dem Eingangs-Flip-Flop FFin und dem Ausgangs-Flip-Flop FFout befindet

5 zugeführt. Aufgrund von Gatter-Laufzeiten der Logik DL ergibt sich eine zeitliche Verzögerung des Signals, die bei schlechter Dimensionierung der Schaltung zu einem Fall führen kann wie er in Figur 10 dargestellt ist. Gemäß Figur

10 t_{logik} der Logikschaltung DL verzögerten Signals S2 mit der steigenden Flanke des Taktsignals CLK zusammen, wodurch sich eine Setup-Zeitverletzung ergibt. Aufgrund des Fehlens eines hinreichend stabilen Eingangssignals am Eingangsanschluß D des Ausgangs-Flip-Flops FFout erhält man für ein

15 Ausgangssignal Sout am Ausgangsanschluß Q des Flip-Flops FFout einen unbekannten Zustand, der sich aus dem bereits erwähnten metastabilen Zustand und dem undefinierten Zustand ergibt.

20 Derartige unerwünschte Zustände können bei der Logik/Timing-Simulation weiterhin erfaßt und lokalisiert werden, damit dem erfindungsgemäßen Verfahren lediglich ein Synchronisations-Modul für ein markiertes asynchrones Signal eingefügt wird und die Überprüfung auf Setup/Hold-Zeitver-

25 letzung selektiv deaktiviert wird.

Die Figur 7 zeigt ein weiteres Ausführungsbeispiel für ein in der Netzliste einzufügendes Flip-Flop IFF. Hierbei besteht das imaginäre Flip-Flop bzw. Synchronisations-Modul

30 wiederum aus einem Flip-Flop FF2 und einem Flip-Flop FF3, wobei jedoch zusätzlich ein Invertierer INV eingefügt wird, der das dem Flip-Flop FF3 zugeführte Taktsignal $\overline{\text{CLK}}$ durch invertieren des dem Flip-Flop FF2 zugeführten Taktsignals CLK erzeugt. Dadurch steht das am Flip-Flop 3 ausgegebene

35 Signal S4 bereits nach einem Taktzyklus bereit.

Die vorliegende Erfindung wurde ausschließlich anhand von getakteten Flip-Flops beschrieben, die mit steigender Flanke gesetzt werden. Es können jedoch auch Flip-Flops
5 verwendet werden, die mit fallender Flanke gesetzt werden oder es wird eine Kombination dieser beiden Arten von Flip-Flops verwendet. Ferner ist die vorliegende Erfindung nicht auf getaktete Flip-Flops beschränkt sondern bezieht sich
10 vielmehr auf alle Arten von getakteten Schaltelementen, bei denen die vorstehend beschriebenen Vorgänge zur Erzeugung von unbekannten Zuständen auftreten können. Insbesondere ist die Verwendung von zwei Flip-Flops für das in der Netzliste eingefügte Synchronisations-Modul beliebig
15 änderbar, solange es hinsichtlich seines Zeitverhaltens eine Synchronisation von zwei asynchronen Signalen zuläßt und darüber hinaus eine Setup-Zeitverletzung gezielt deaktiviert werden kann.

Die Figur 11 zeigt ein Flußdiagramm des vorstehend beschriebenen erfindungsgemäßen Verfahrens. Zunächst wird in
20 einem Schritt S1 eine beliebige Schaltung, für die ein ASIC, ein fullcustom IC oder ein semicustom IC angefertigt werden soll mit einer Hardware-Beschreibungssprache beschrieben. Hierbei werden bereits alle asynchronen Signale
25 oder Signalleitungen markiert. Im Schritt S2 kann beispielsweise eine logische Simulation des so erstellten VHDL-Codes durchgeführt werden, wobei die rein logischen Operationen der Schaltung überprüft werden. Im Schritt S3 erfolgt eine Synthese der Hardware-Beschreibungssprache
30 bzw. des VHDL-Codes zum erstellen einer Netzliste, wobei bei den markierten Signalen ein vordefiniertes Synchronisations-Modul in die Netzliste eingefügt wird. Anhand dieser modifizierten Netzliste der Ausgangsschaltung wird im Schritt S4 eine spezifische Timing-Simulation durchgeführt,
35 wobei die Überprüfung von Setup/Hold-Zeitverletzungen für jedes eingefügte Synchronisations-Modul oder zumindest

einen Teil dieses Synchronisations-Moduls selektiv deaktiviert wird. Alle in synchronen Signalpfaden noch auftretenden undefinierten Signal-Zeitverhalten, d.h. unbekannte Zustände nach Setup/Hold-Zeitverletzungen werden

5 weiterhin erkannt und angezeigt. Vorzugsweise wird in der vorliegenden Erfindung ein VHDL-Code als Hardware-Beschreibungssprache verwendet. In gleicher Weise sind jedoch alle weiteren Hardware-Beschreibungssprachen zu verwenden, sofern sie eine Markierung von asynchronen Signalen bzw. Signalleitungen zulassen. Ebenso können alle Arten von Synthese-Tools verwendet werden, bei denen aus einer Hardware-Beschreibungssprache eine Netzliste erstellt werden kann und bei Auftreten einer Markierung das Einfügen eines Synchronisations-Moduls möglich ist. In gleicher Weise können

10 für die Timing-Simulationen alle Arten von Simulatoren verwendet werden, bei denen das eingefügte Synchronisations-Modul oder zumindest ein Teil dieses Moduls hinsichtlich der Überprüfung des Zeitverhaltens selektiv deaktiviert werden kann.

20

Die Figur 12 zeigt eine Vorrichtung zum Durchführen des vorstehend beschriebenen Verfahrens. Die Vorrichtung besteht im wesentlichen aus einer Eingabevorrichtung 1, einer ersten Speichervorrichtung 2 zum Speichern der Hardware-Beschreibungssprache (VHDL-Code) und einem zweiten Speicher 3 zum Speichern des bei der Synthese erstellten zweiten Codes, d.h. der Netzliste. Eine Markiervorrichtung 4 markiert selektiv alle in der Hardware-Beschreibungssprache befindlichen asynchronen Signale bzw. Signalleitungen, während ein Logik-Simulator 8 eine logische Simulation zur Überprüfung der logischen Funktionen der Schaltung anhand der Hardware-Beschreibungssprache durchführt. Eine Synthesevorrichtung 6 führt eine Synthese der im Speicher 2 abgelegten und markierten Hardware-Beschreibungssprache (VHDL-Codes) durch, wodurch eine modifizierte Netzliste entsteht,

25

30

35

die im Speicher 3 abgelegt wird. Wie bereits vorstehend be-

schrieben besitzt die im Speicher 3 abgelegte Netzliste die eingefügten Synchronisations-Module. Ein Logik/Timing-Simulator 7 führt eine Logik/Timing-Simulation an der im Speicher 3 abgespeicherten Netzliste durch, wobei er derart
5 ausgestaltet ist, daß keine Überprüfung von Setup/Hold-Zeitverletzungen im Synchronisations-Modul oder Teilen dieses Moduls durchgeführt wird. Über eine Anzeigevorrichtung 5 werden die vom Logik-Simulator und Timing-Simulator erfaßten Ergebnisse ausgegeben, wobei optional das die
10 Zeitverletzung verursachende Schaltungselement mit angezeigt wird. Die Vorrichtungen 1 bis 8 sind vorzugsweise über eine Busstruktur 9 miteinander verbunden, wobei die Synthesevorrichtung 6, der Timing-Simulator 7 und der Logik-Simulator durch eine oder mehrere CPUs
15 (Zentraleinheiten) mit dazugehörigen Speichereinheiten (ROMs) realisiert werden können.

Patentansprüche

1. Verfahren zur Synchronisation eines asynchronen Si-
5 gnals in Synthese und Simulation einer getakteten Schaltung
 - a) Beschreiben der getakteten Schaltung mit einem ersten Code (VHDL);
 - b) Markieren von asynchronen Signalen der getakteten
10 Schaltung im ersten Code (VHDL);
 - c) Durchführen einer Synthese des ersten Codes (VHDL) zum Erstellen eines zweiten Codes, wobei bei jeder Markierung ein Synchronisations-Modul (IFF) eingefügt wird;
 - d) Durchführen einer Logik/Timing-Simulation am zweiten
15 Code zur Überprüfung des Zeitverhaltens der Signale in der getakteten Schaltung, wobei die Überprüfung des Zeitverhaltens für jedes eingefügte Synchronisations-Modul (IFF) selektiv deaktiviert wird; und
 - e) Anzeigen von auftretendem undefinierten Signal-Zeit-
20 verhalten in der getakteten Schaltung.
2. Verfahren nach Patentanspruch 1, mit dem weiteren Schritt:
 - 25 Durchführen einer Logik-Simulation am ersten Code (VHDL) zur Überprüfung der logischen Funktion der getakteten Schaltung.
3. Verfahren nach Patentanspruch 1 oder 2, wobei der er-
30 ste Code eine Hardware-Beschreibungssprache und der zweite Code eine Netzliste darstellt.
4. Verfahren nach Patentanspruch 3, wobei die Hardware-Beschreibungssprache ein VHDL-Code ist.

5. Verfahren nach einem der Patentansprüche 1 bis 4, wobei das bei der Synthese des ersten Codes durchgeführte Einfügen des Synchronisations-Moduls dem Einfügen eines imaginären Flip-Flops (IFF) entspricht.

5

6. Verfahren nach Patentanspruch 5, wobei das imaginäre Flip-Flop (IFF) aus einem ersten und zweiten Flip-Flop (FF2, FF3) besteht, die mit dem gleichen Takt (CLK) getaktet sind.

10

7. Verfahren nach Patentanspruch 5, wobei das imaginäre Flip-Flop (IFF) aus einem ersten und einem zweiten Flip-Flop (FF2, FF3) besteht, die mit zueinander invertierten Takten (CLK, $\overline{\text{CLK}}$) getaktet sind.

15

8. Verfahren nach einem der Patentansprüche 6 oder 7, wobei beim Durchführen der Timing-Simulation die Überprüfung des Signal-Zeitverhaltens selektiv nur für das erste Flip-Flop (FF2) deaktiviert wird.

20

9. Verfahren nach einem der Patentansprüche 1 bis 8, wobei beim Anzeigen des undefinierten Signal-Zeitverhaltens ein dieses Verhalten verursachendes Schaltungselement angezeigt wird.

25

10. Vorrichtung zum Erfassen von undefiniertem Signal-Zeitverhalten in einer getakteten Schaltung mit

30

- a) einer Eingabevorrichtung (1) zum Eingeben eines eine getaktete Schaltung beschreibenden ersten Codes (VHDL);
- b) einer ersten Speichervorrichtung (2) zum Speichern des ersten Codes (VHDL);
- 35 c) einer Markiervorrichtung (4) zum Markieren von asynchronen Signalen (S_ASYNC) im ersten Code;

- d) einer Synthesevorrichtung (6), die aus dem ersten Code (VHDL) einen zweiten Code erstellt und diesen in einer zweiten Speichervorrichtung (3) abspeichert, wobei bei jeder Markierung ein Synchronisations-Modul (IFF) eingefügt wird;
- e) einem Timing-Simulator (7), der am zweiten Code eine Timing-Simulation zur Überprüfung des Zeitverhaltens der Signale der getakteten Schaltung durchführt, wobei die Überprüfung des Zeitverhaltens für jedes eingefügte Synchronisations-Modul (IFF) selektiv deaktiviert wird;
- f) einer Anzeigevorrichtung (5) zum Anzeigen von auftretendem undefinierten Signal-Zeitverhalten; und
- g) einer Busstruktur (9), die die Vorrichtungen (1-7) miteinander verbindet.
11. Vorrichtung nach Patentanspruch 10 mit einem Logik-Simulator (8), der zur Überprüfung des logischen Verhaltens der getakteten Schaltung eine Logik-Simulation auf der Grundlage des ersten Codes (VHDL) durchführt.
12. Vorrichtung nach einem der Patentansprüche 10 oder 11, wobei der erste Code eine Hardware-Beschreibungssprache und der zweite Code eine Netzliste darstellt.
13. Vorrichtung nach Patentanspruch 12, wobei die Hardware-Beschreibungssprache ein VHDL-Code ist.
14. Vorrichtung nach einem der Patentansprüche 10 bis 13, wobei das Synchronisations-Modul einem imaginären Flip-Flop (IFF) entspricht.
15. Vorrichtung nach Patentanspruch 14, wobei das imaginäre Flip-Flop (IFF) aus einem ersten und einem zweiten Flip-Flop (FF2, FF3) besteht, die mit einem gleichen Taktsignal (CLK) getaktet sind.

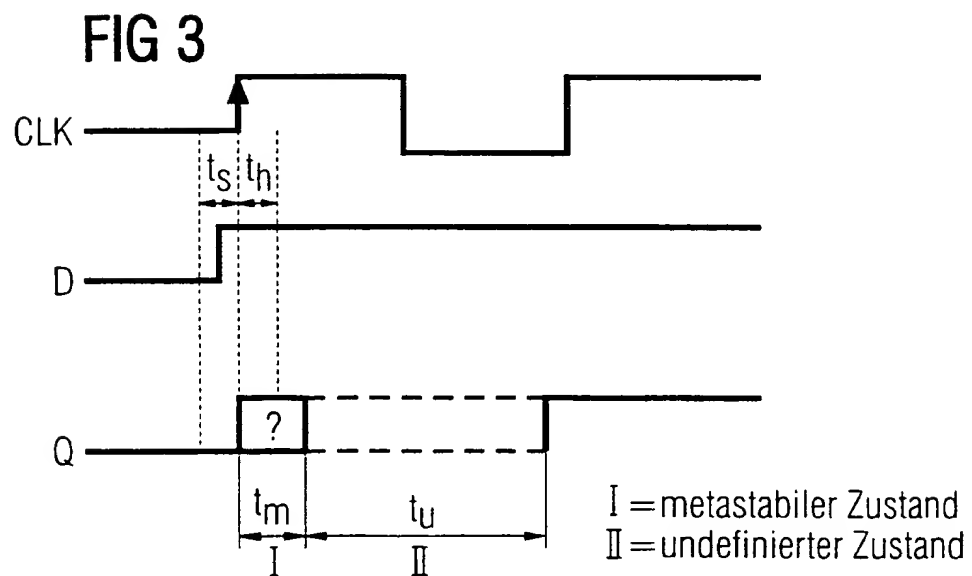
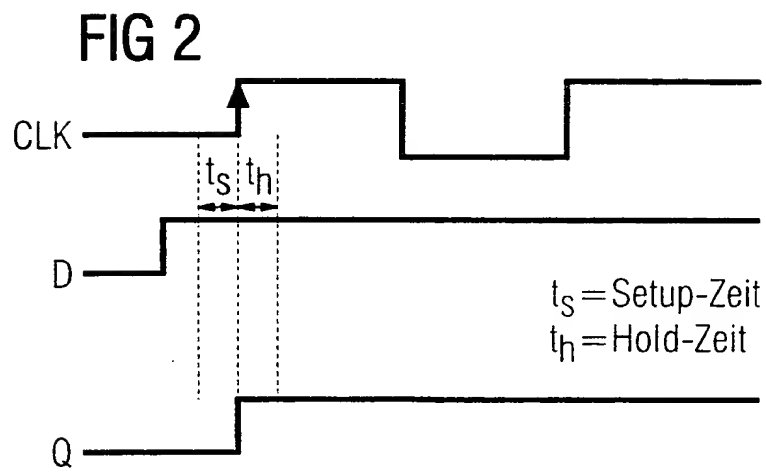
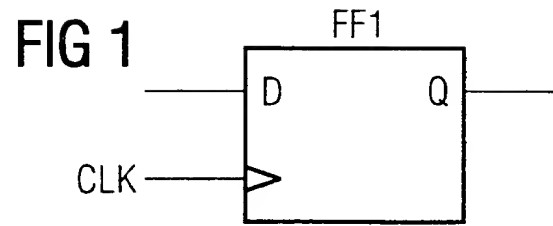
18

16. Vorrichtung nach Patentanspruch 14, wobei das imaginäre Flip-Flop (IFF) ferner aus einem Invertierer (INV) zum Invertieren eines Taktsignals (CLK) besteht, und den Flip-Flops (FF2, FF3) zueinander invertierte Taktsignale (CLK, CLK) zugeführt werden.

17. Vorrichtung nach einem der Patentansprüche 15 oder 16, wobei der Timing-Simulator (7) beim Durchführen der Timing-Simulation das Zeitverhalten für das erste Flip-Flop (FF2) nicht berücksichtigt.

18. Vorrichtung nach einem der Patentansprüche 1 bis 17, wobei die Anzeigevorrichtung (5) ferner ein das undefinierte Signal-Zeitverhalten verursachendes Schaltungselement anzeigt.

1/5



2/5

FIG 4

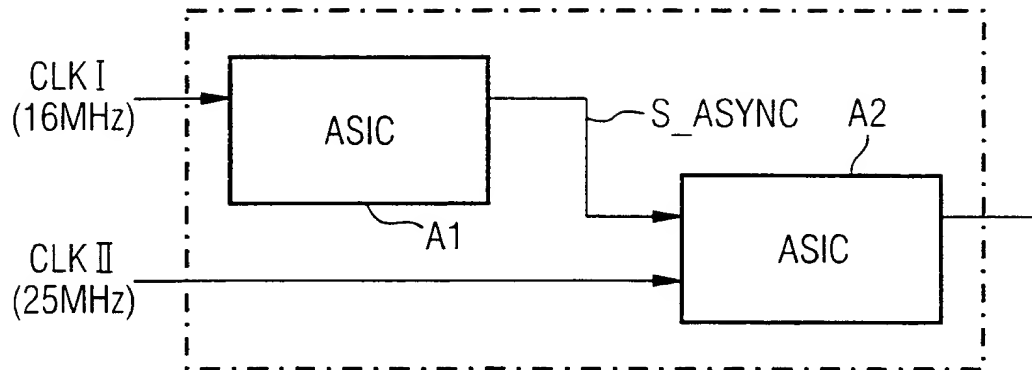


FIG 5

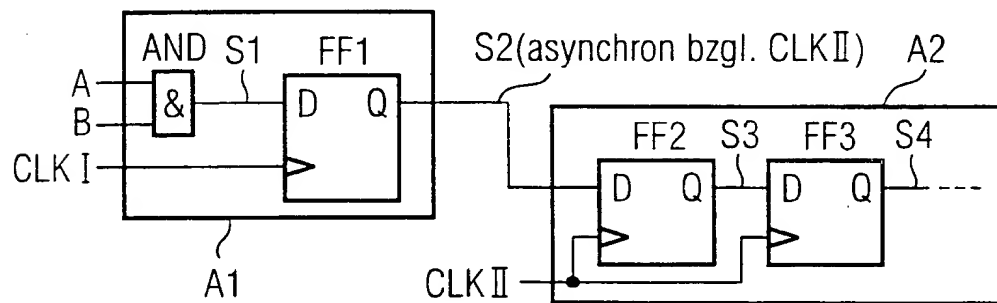
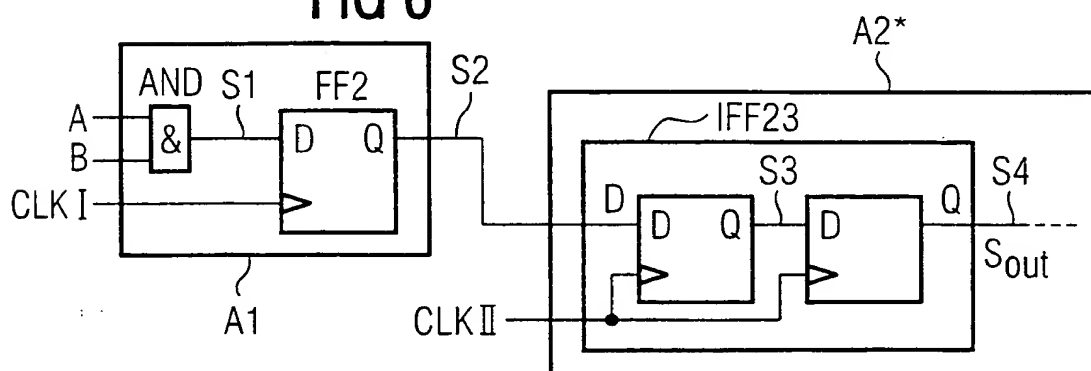


FIG 6



3/5

FIG 7

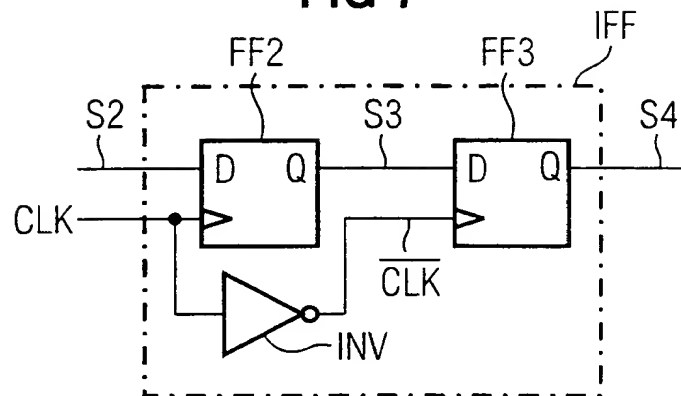


FIG 8

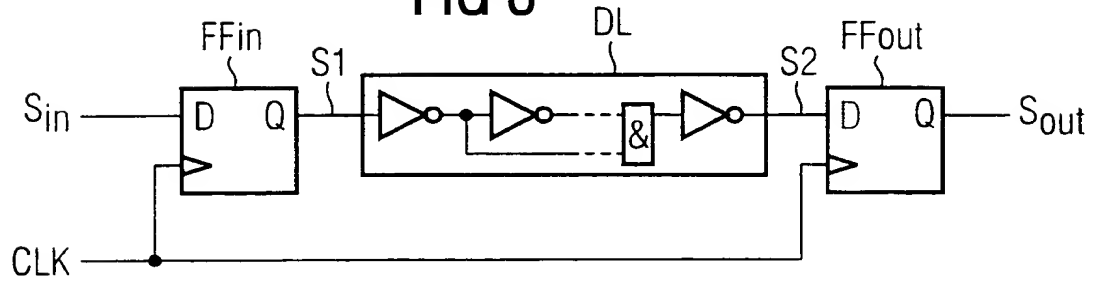


FIG 9

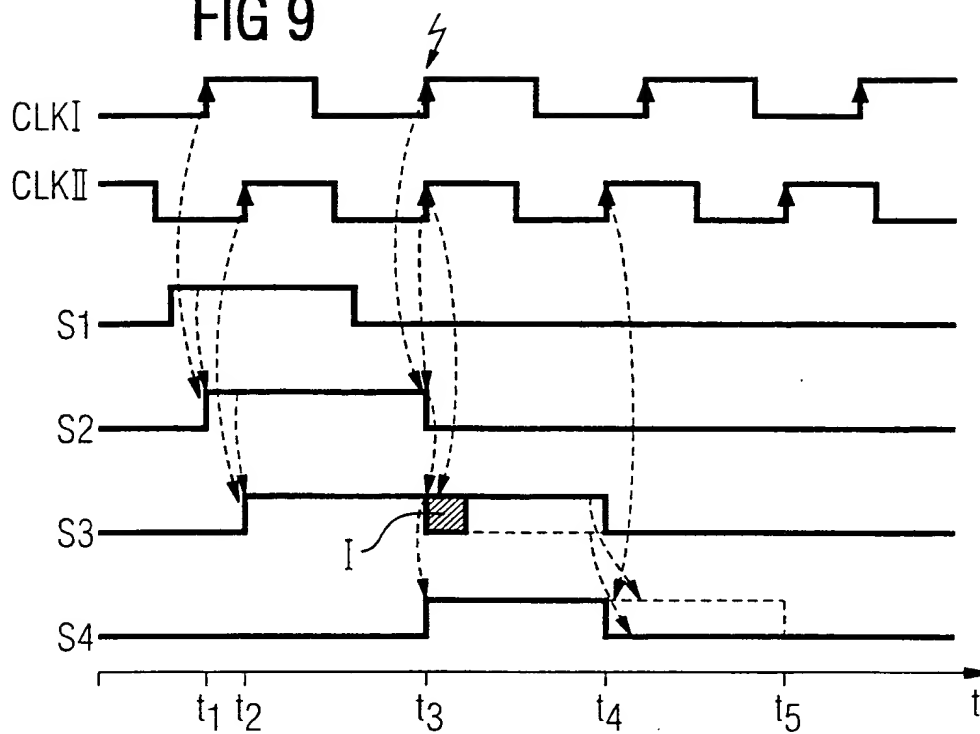
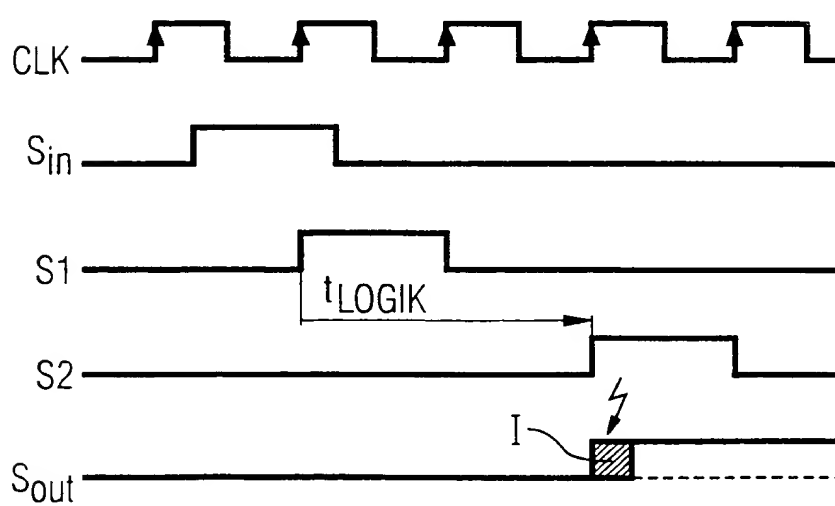


FIG 10



5/5

FIG 11

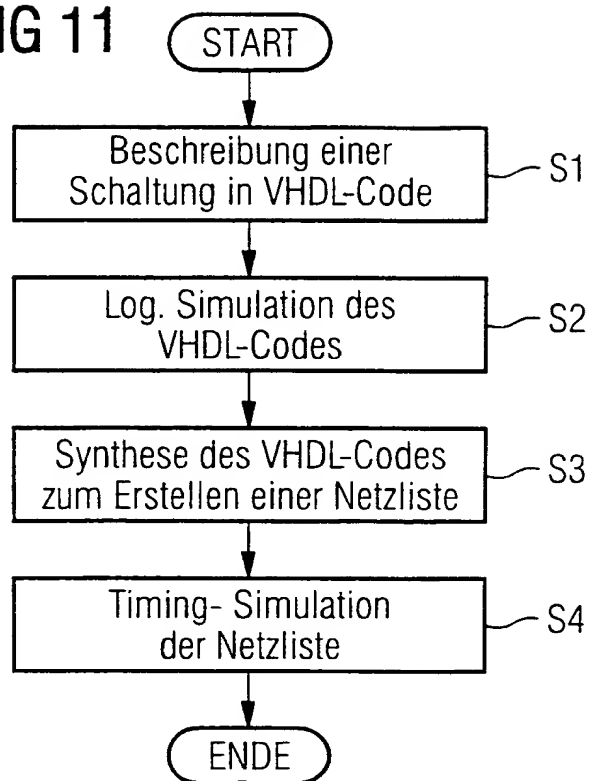
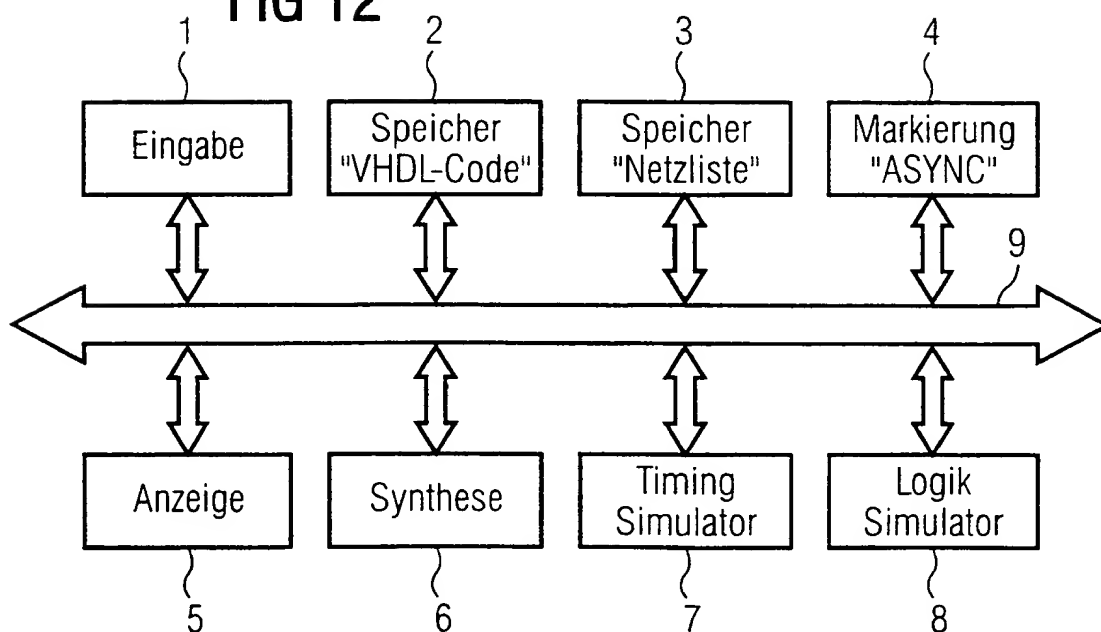


FIG 12



**VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS**

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 98P1834P	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/DE 99/ 01555	Internationales Anmeldedatum (Tag/Monat/Jahr) 25/05/1999	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 29/05/1998
Anmelder SIEMENS AKTIENGESELLSCHAFT et al.		

Dieser Internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser Internationale Recherchenbericht umfaßt insgesamt 3 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der Sprache ist die Internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die Internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten Nucleotid- und/oder Aminosäuresequenz ist die Internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerisierter Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerisierter Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerisierter Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der Zeichnungen ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 5

☒ wie vom Anmelder vorgeschlagen

☐ keine der Abb.

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 6 G06F17/50

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
P, A	EP 0 853 280 A (NEC CORP.) 15. Juli 1998 (1998-07-15) Anspruch 1; Abbildungen 2-4 ---	1
A	US 5 426 591 A (A. GINETTI) 20. Juni 1995 (1995-06-20) Spalte 1, Zeile 19 - Spalte 2, Zeile 3 Spalte 3, Zeile 15 - Zeile 48 Spalte 4, Zeile 17 - Spalte 6, Zeile 15; Abbildungen 1,2 ---	1
A	US 5 657 239 A (J. GRODSTEIN) 12. August 1997 (1997-08-12) Spalte 1, Zeile 40 - Zeile 52 Spalte 6, Zeile 55 - Spalte 7, Zeile 35 Spalte 8, Zeile 21 - Spalte 9, Zeile 29; Abbildungen 1,6,7 --- -/-	1



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"g" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

4. November 1999

Absendedatum des internationalen Recherchenberichts

11/11/1999

Name und Postanschrift der internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Butler, N

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 517 658 A (D. GLUSS) 14. Mai 1996 (1996-05-14) Spalte 1, Zeile 44 -Spalte 2, Zeile 3; Ansprüche 1-4; Abbildungen 1,2 Spalte 2, Zeile 25 -Spalte 4, Zeile 55 -----	1
A	US 5 579 510 A (A. WANG) 26. November 1996 (1996-11-26) Spalte 1, Zeile 50 -Spalte 2, Zeile 18 Spalte 3, Zeile 17 -Spalte 4, Zeile 11 Spalte 5, Zeile 27 -Spalte 6, Zeile 10 -----	1
A	US 5 537 580 A (J. GIOMI) 16. Juli 1996 (1996-07-16) Spalte 1, Zeile 12 - Zeile 31 Spalte 2, Zeile 50 - Zeile 65 Spalte 4, Zeile 33 -Spalte 5, Zeile 44 Spalte 6, Zeile 9 -Spalte 7, Zeile 11; Ansprüche 1,2; Abbildungen 2,3 -----	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 99/01555

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 853280	A	15-07-1998	JP 10198723 A	31-07-1998
US 5426591	A	20-06-1995	US 5764525 A	09-06-1998
US 5657239	A	12-08-1997	NONE	
US 5517658	A	14-05-1996	NONE	
US 5579510	A	26-11-1996	NONE	
US 5537580	A	16-07-1996	NONE	

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

REC'D 01 SEP 2000

WIPO

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

Aktenzeichen des Anmelders oder Anwalts GR 98P1834P	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsbericht (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/DE99/01555	Internationales Anmeldedatum (Tag/Monat/Jahr) 25/05/1999	Prioritätsdatum (Tag/Monat/Jahr) 29/05/1998
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H03K5/00		
Anmelder SIEMENS AKTIENGESELLSCHAFT et al.		


- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationale vorläufigen Prüfung beauftragte Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

 Diese Anlagen umfassen insgesamt 2 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderische Tätigkeit und der gewerbliche Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☒ Bestimmte Mängel der internationalen Anmeldung
- VIII ☒ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 17/12/1999	Datum der Fertigstellung dieses Berichts 29.08.2000
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Krischer, S Tel. Nr. +49 89 2399 7484



INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE99/01555

I. Grundlage des Berichts

1. Dieser Bericht wurde erstellt auf der Grundlage (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten.*):

Beschreibung, Seiten:

1-14 ursprüngliche Fassung

Patentansprüche, Nr.:

2-9,11-18 ursprüngliche Fassung

1,10 eingegangen am 10/07/2000 mit Schreiben vom 10/07/2000

Zeichnungen, Blätter:

1-5 ursprüngliche Fassung

2. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

3. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)):

4. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-18
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	1-18
	Nein: Ansprüche	
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-18
	Nein: Ansprüche	

2. Unterlagen und Erklärungen

siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist:

siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- 1 Es wird auf folgendes Dokument verwiesen:

D1 US-A-5 579 510 (A. WANG) 26. November 1996 (1996-11-26)

- 2 Die Ansprüche **erfüllen** die Anforderungen von Artikel 33 PCT hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit.

- 2.1 Die Anmeldung **bezieht sich** auf ein Verfahren und eine Vorrichtung (unabhängige Ansprüche 1, 10) zur Logik/Timing-Simulation synchroner Schaltungen.

Nächstliegender Stand der Technik: D1

Unterschied zu D1: Es werden im Hardware-Beschreibungssprachen-Code der Schaltung die asynchronen Signale markiert. An diesen Markierungen werden während der Synthese Synchronisationsmodule eingefügt, die auch in D1 vorkommen, aber dort allen primitiven *synchronen* Elementen hinzugefügt werden. Im Unterschied zu D1 kann in der Anmeldung für jedes einzelne Synchronisationsmodul getrennt die Überprüfung des Setup/Hold-Zeitverletzungen unterdrückt werden, und zwar durch Anpassung seines Simulationsmodells.

Vorteil: Flexibilität in der Überprüfung des Zeitverhaltens; größere Zuverlässigkeit des Simulationsergebnisses.

Zu Punkt VII

Bestimmte Mängel der internationalen Anmeldung

- 3 Die unabhängigen Ansprüche 1 und 10 sind nicht in der **zweiteiligen Form** nach Regel 6.3 b) PCT abgefasst. Im vorliegenden Fall erscheint die Zweiteilung jedoch zweckmäßig. Folglich sollten die in Verbindung miteinander aus dem Stand der Technik bekannten Merkmale im Oberbegriff zusammengefaßt (Regel 6.3 b) i)

PCT) und die übrigen Merkmale im kennzeichnenden Teil aufgeführt werden (Regel 6.3 b) ii) PCT).

Im vorliegenden Fall sind die folgenden Merkmale **allgemein bekannt** und gehören daher in den Oberbegriff eines solchen Anspruchs:

- Schritt a)
- Zeilen 11-12 von Schritt c) (d.h. Schritt c) ohne Nebensatz mit "wobei")
- Zeilen 15-17 von Schritt d) (d.h. Schritt d) ohne Nebensatz mit "wobei")
- Schritt e)

Die unabhängigen Ansprüche 1 und 10 hätten daher entsprechend umformuliert werden sollen, z.B. bei Anspruch 1 durch folgende Formulierung:

"... dadurch gekennzeichnet, dass zwischen den Schritten a) und c) in einem Schritt b) alle asynchrone Signale der getakteten Schaltung im ersten Code (VHDL) markiert werden,
dass in Schritt c) bei jeder Markierung ein Synchronisations-Modul (IFF) eingefügt wird,
und dass in Schritt d) die Überprüfung ... deaktiviert wird"

Zu Punkt VIII

Bestimmte Bemerkungen zur internationalen Anmeldung

4 Klarheit von Anspruch 1:

- 4.1 In Zeile 9 und 10 ist nicht klar, nach welchen **Kriterien** asynchrone Signale **markiert** werden sollen. Es geht jedoch aus der Beschreibung (Seite 12, Zeilen 24 und 25; Seite 13, Zeilen 27-29; Figur 12 (4): "Markierung ASYNC") hervor, dass **alle asynchronen Signale markiert** werden.
Daher hätte der Anmelder folgendes in Zeile 10 zu ergänzen sollen:

"b) Markieren **aller** asynchronen Signale der getakteten Schaltung im ersten Code (VHDL)".

5 Klarheit von Anspruch 10:

Da der unabhängige Vorrichtungs-**Anspruch 10** alle Merkmale aus Anspruch 1 enthält, gelten die in Abschnitt 1 erhobenen Einwände auch für diesen Anspruch.

N 10.07.00

15

Patentansprüche

1. Verfahren zur Synchronisation eines asynchronen Si-
gnals in Synthese und Simulation einer getakteten Schaltung

a) Beschreiben der getakteten Schaltung mit einem ersten Code (VHDL) in einer Hardware-Beschreibungssprache;

b) Markieren von asynchronen Signalen der getakteten Schaltung im ersten Code (VHDL);

c) Durchführen einer Synthese des ersten Codes (VHDL) zum Erstellen eines zweiten Codes in einem Netzlistenformat, wobei bei jeder Markierung ein Synchronisations-Modul (IFF) eingefügt wird;

d) Durchführen einer Logik/Timing-Simulation am zweiten Code zur Überprüfung des Zeitverhaltens der Signale in der getakteten Schaltung, wobei die Überprüfung des Zeitverhaltens für jedes eingefügte Synchronisations-Modul (IFF) selektiv durch Anpassung im Simulationsmodell des betreffenden Synchronisations-Moduls deaktiviert wird; und

e) Anzeigen von auftretendem undefinierten Signal-Zeitverhalten in der getakteten Schaltung.

10. Vorrichtung zum Erfassen von undefiniertem Signal-Zeitverhalten in einer getakteten Schaltung mit

a) einer Eingabevorrichtung (1) zum Eingeben eines eine getaktete Schaltung beschreibenden ersten Codes (VHDL) in einer Hardware-Beschreibungssprache;

b) einer ersten Speichervorrichtung (2) zum Speichern des ersten Codes (VHDL);

M 10.07.00

16

- c) einer Markiervorrichtung (4) zum Markieren von asynchronen Signalen (S_ASYNC) im ersten Code;
- d) einer Synthesevorrichtung (6), die aus dem ersten Code (VHDL) einen zweiten Code in einem Netzlistenformat
- 5 erstellt und diesen in einer zweiten Speichervorrichtung (3) abspeichert, wobei bei jeder Markierung ein Synchronisations-Modul (IFF) eingefügt wird;
- e) einem Timing-Simulator (7), der am zweiten Code eine Timing-Simulation zur Überprüfung des Zeitverhaltens der
- 10 Signale der getakteten Schaltung durchführt, wobei die Überprüfung des Zeitverhaltens für jedes eingefügte Synchronisations-Modul (IFF) selektiv durch Anpassung im Simulationsmodell des betreffenden Synchronisations-Moduls deaktiviert wird;
- 15 f) einer Anzeigevorrichtung (5) zum Anzeigen von auftretendem undefinierten Signal-Zeitverhalten; und
- g) einer Busstruktur (9), die die Vorrichtungen (1-7) miteinander verbindet.

20